Der Mu3e-Eventfilter

Fabian Förster
für die Mu3e-Kollaboration

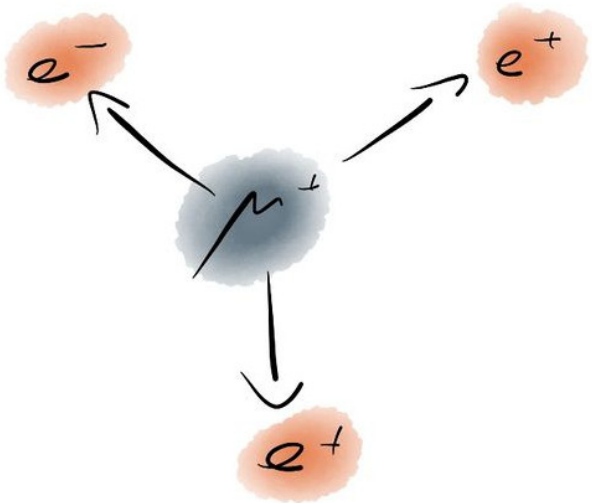
DAQ, Trigger, Elektronik 4

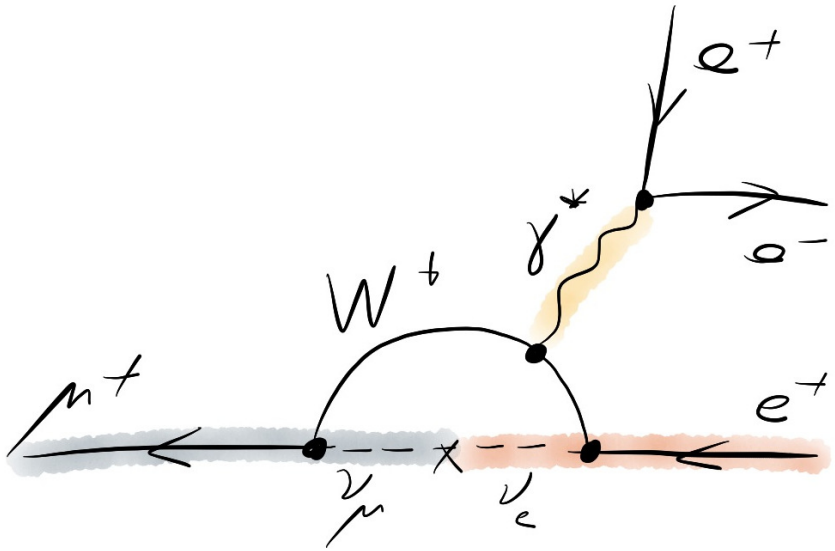
Physikalisches Institut Heidelberg

26. März 2014

Signal

- Suche nach $\mu^+ \rightarrow e^+e^+e^-$
- Neutrinooszillationen: BR $< 10^{-54}$
- angestrebte Empfindlichkeit Mu3e: 10^{-16}
- Jedes Signalereignis ist Zeichen für neue Physik





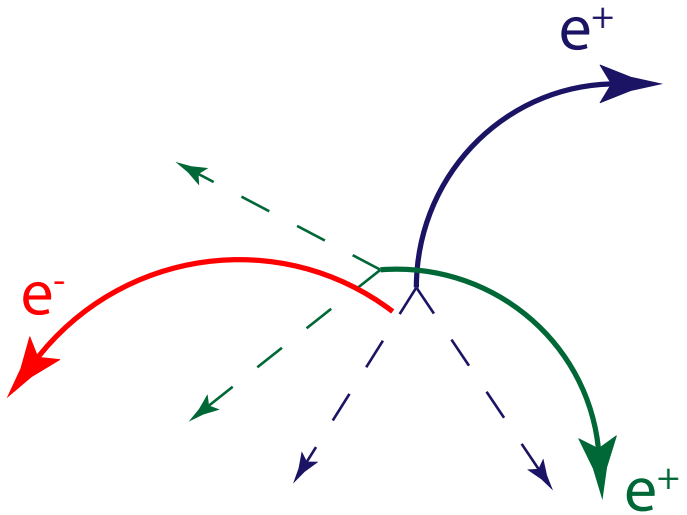
Untergrund

Untergrundprozess:

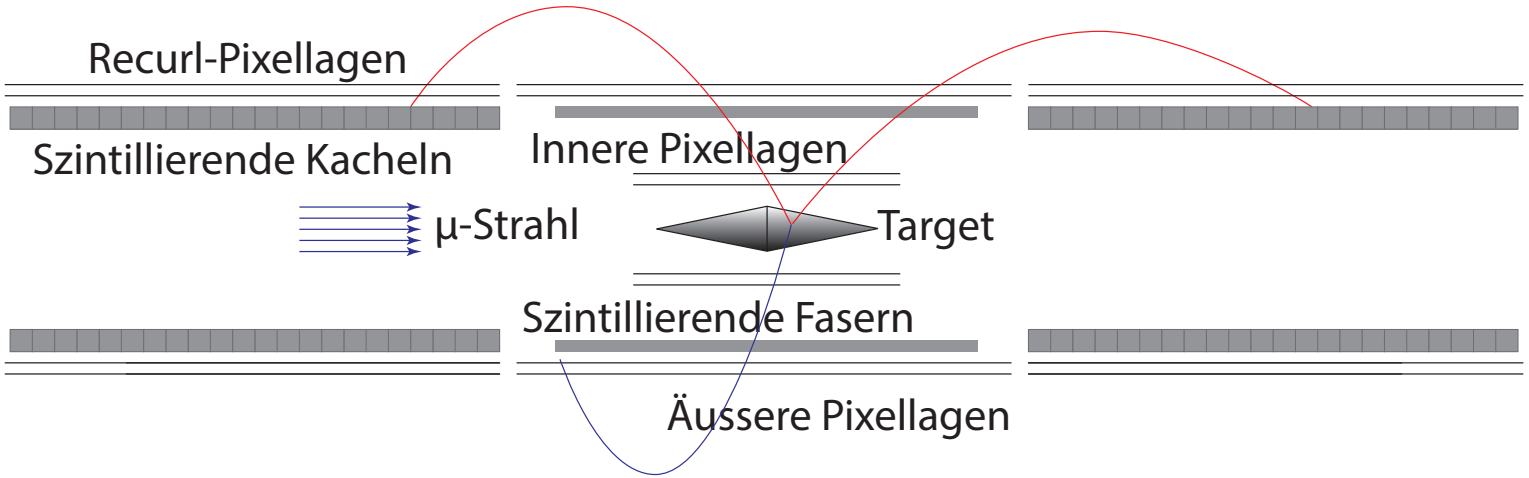
- $\mu^+ \rightarrow e^+ e^- e^+ \bar{\nu}_\mu \nu_e$
- 0.3 MeV/c Impulsauflösung notwendig

Zufällige Ereignisse:

- Strahlrate $\approx 2 \cdot 10^9 \mu/s$
- üblicher μ-Zerfall mit weiteren e
- 200 µm Ortsauflösung notwendig



Detektordesign

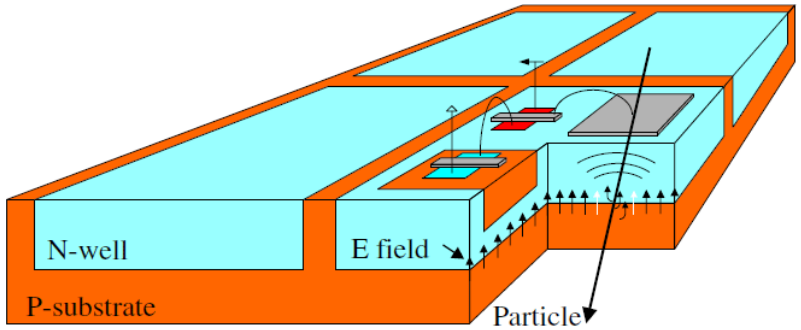


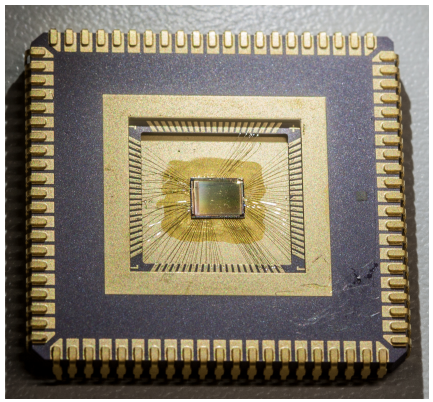
- Impulsbestimmung: B = 1 T
- Spurbestimmung: 4 zylindrische Lagen dünner Silizium Pixelsensoren (HV-MAPS)
- Zeitbestimmung:
  - Szintillierende Fasern $\sigma_t \sim 1ns$
  - Kacheldetektor $\sigma_t \sim 100ps$

HV-MAPS

HV-**M**onolithischer **A**ktiver **P**ixel **S**ensor

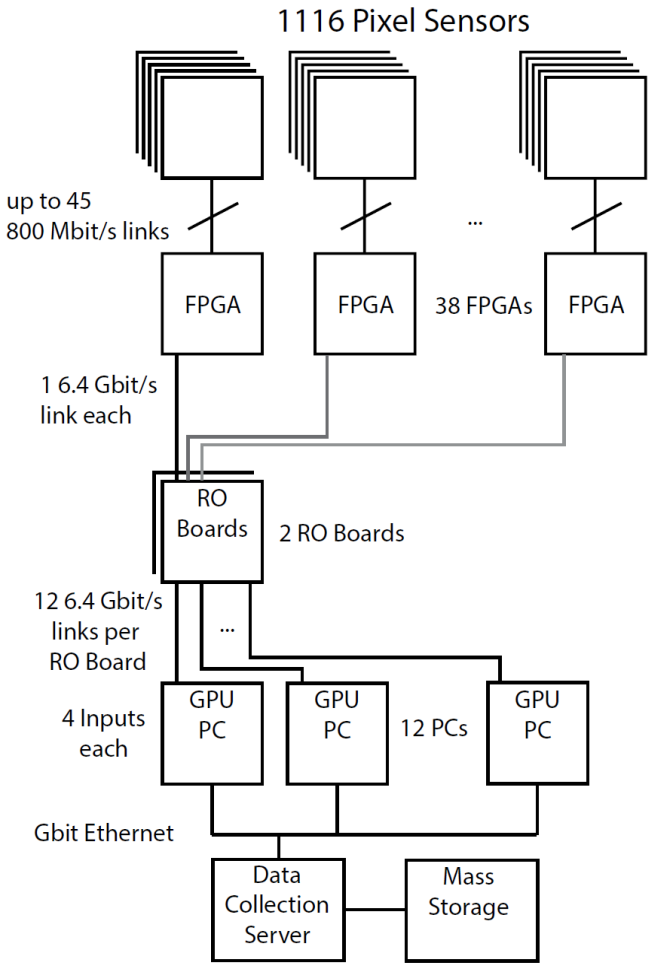
- herstellbar im 180 nm HV-CMOS (kommerzieller IBM Prozess)
- schnelle Ladungssammlung durch Drift ($\sim 10\,\mathrm{ns}$)
- integrierte Logik
- Nullunterdrückte Trefferinformation
- $E_e \approx 10$–$50\,\mathrm{MeV}$: Vielfachstreuung $\rightarrow$ minimiere Detektormaterial
- dünnbar auf $\sim 50\,\mu\mathrm{m}$





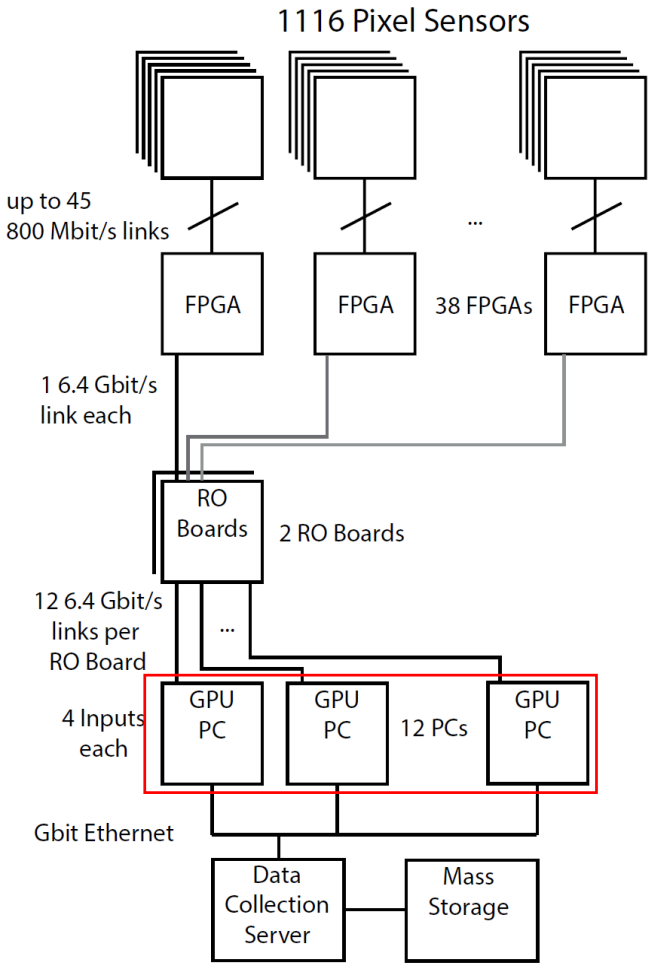
(I.Peric, P. Fischer et al., NIM A 582 (2007) 876)

Auslesestruktur

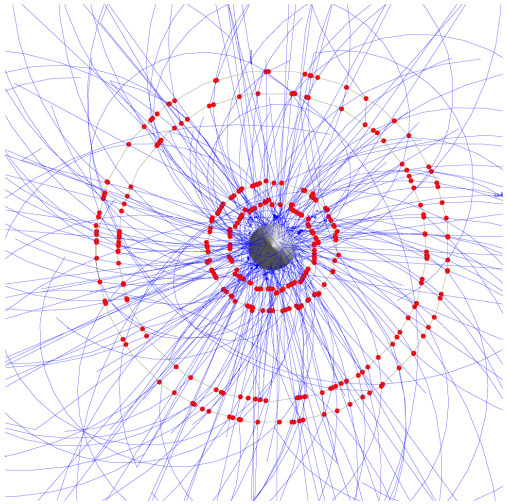


- 15-36 Sensoren werden von einem der 38 "Front-End" FPGAs kontrolliert
- Daten werden an 2 Ausleseboards gesendet
- 12 GPU-PC's verarbeiten kurze Zeitintervalle des gesamten Detektors
- gefilterte Daten werden gespeichert

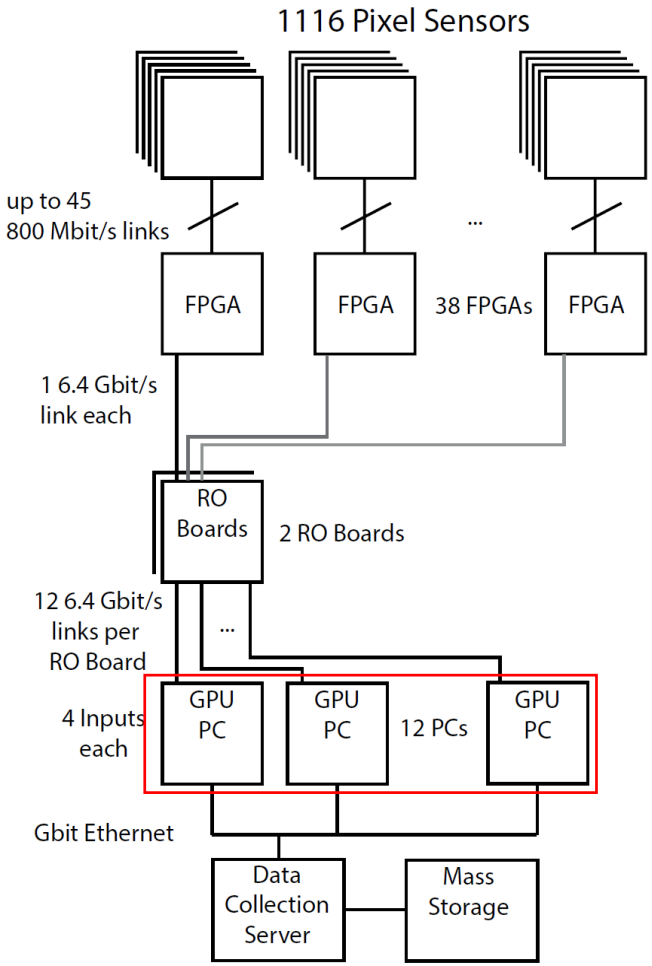
Datenreduktion



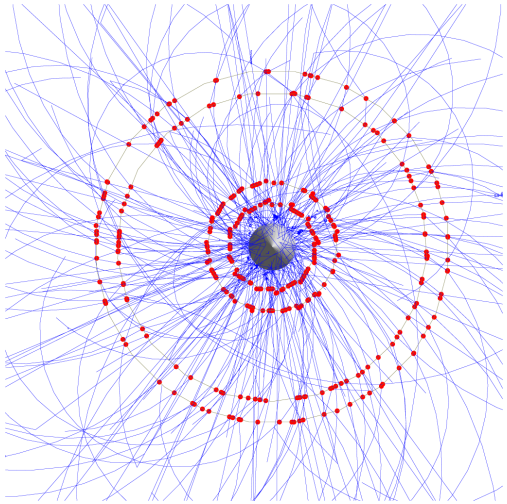
- rohe Trefferinformationen erreichen FPGA in PC
- Herausforderung: hohe Kombinatorik!

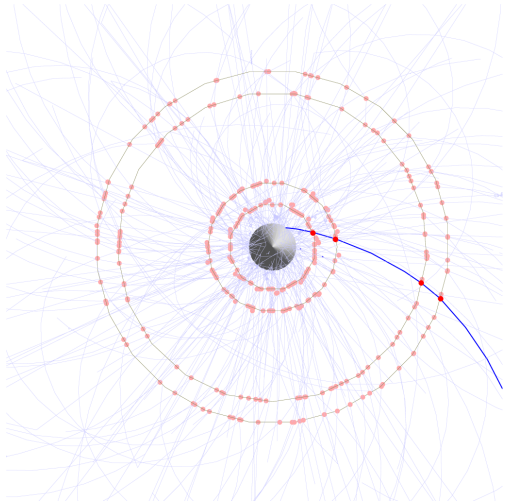


Datenreduktion



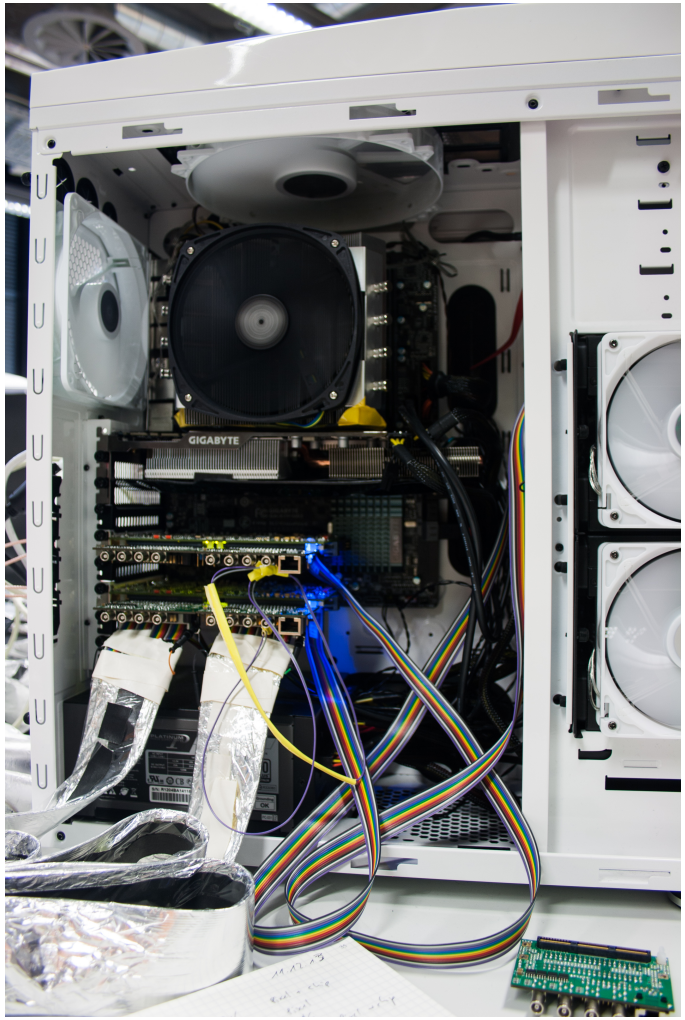
- rohe Trefferinformationen erreichen FPGA in PC
- Herausforderung: hohe Kombinatorik!
  → benötige 100 ps Zeitauflösung





Datenreduktion

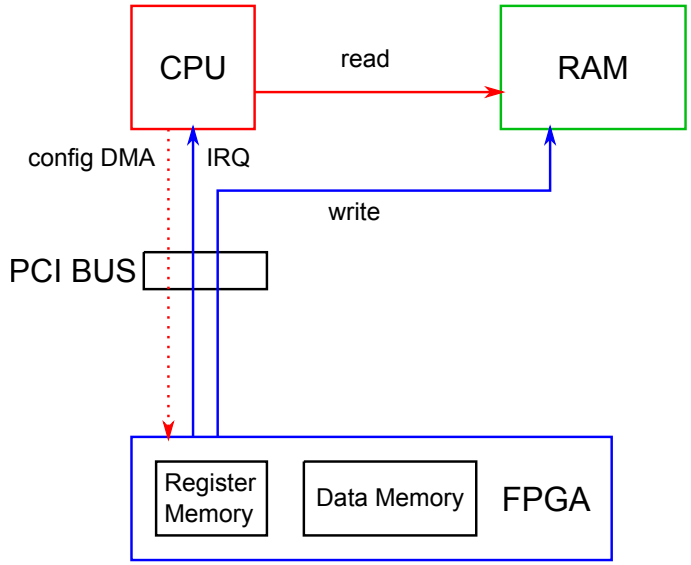
- Front-End 1 Tbit/s Daten
- jeder PC sieht ganzen Detektor für kurzes Zeitintervall
- benutze GPU für Spurrekonstruktion bei hohen Raten
- 10^9 3D Spurrekonstruktionen/s
- Datenreduktion um Faktor ~ 1000



Direct Memory Access

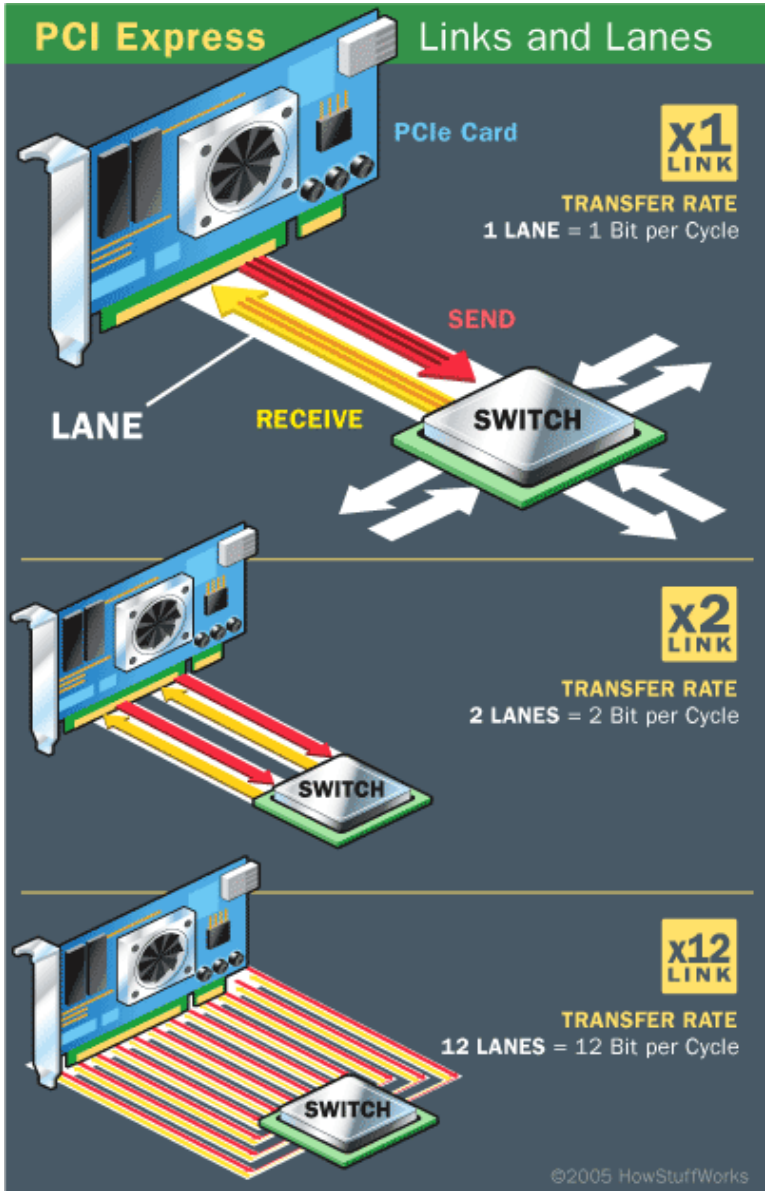
DMA:

- FPGA hat Schreibrecht auf schnellen Speicherplatz
- FPGA schreibt *ohne* CPU Interaktion in Speicherbereich
- Result: 3.5 GByte/s (volle Ausnutzung des PCIe 2.0 Bus) über 3 Tage



Schwierigkeiten der DMA

- FPGA nach wenigen gesendeten Daten nicht mehr ansteuerbar
- verschwiegenes Detail: PCIe funktioniert wie Ethernetswitch mit Creditsystem
- Gerät muss u.A. Paketgröße beim Senden der Daten angeben
- Switch kann nur Paket mit einer max. Größe verarbeiten!
  $\rightarrow$ kleinere Paketgröße



Zusammenfassung

- Mu3e-Experiment benötigt hohe Zerfallsraten um eine Sensitivität von 10^{-16} zu erreichen
- hohe Datenraten erfordern effiziente Datenverarbeitung
- Datenübertragung an Grafikkarte durch Direct Memory Access

Outlook

- sofortige Rekonstruktion der Spuren/Vertizes
- Upgrade auf PCIe 3.0: 8 GByte/s